

## **Herstellung drei-dimensionaler Siliziumkeile zur optischen Kopplung von Glasfasern und integrierten optischen Wellenleitern.**

Merz Robert<sup>1</sup>, Hudek Peter<sup>1</sup>, Partel Stefan<sup>1</sup>, Holly Roman<sup>2</sup>, Hingerl Kurt<sup>2</sup> und Seyringer Heinz<sup>3</sup>

### **Abstract**

Zur Nutzung des vollen Potentials photonischer Schaltungen aus Silizium wird eine effiziente Möglichkeit benötigt, um Licht aus Fasern in integrierte photonische Schaltkreise einzukoppeln. Eine gängige Methode ist die Verwendung von keilförmigen Wellenleitern. In diesem Paper wird ein neues, auf verfügbaren Mikrotechnologien basierendes Verfahren vorgestellt, wie solche Wellenleiter mittels anisotropem KOH-Ätzen von Siliziumwafern mit geneigten  $\langle 111 \rangle$  Kristallflächen hergestellt werden können. Die Vorteile der gezeigten Methode sind die gute Reproduzierbarkeit und eine geringe Rauigkeit der geneigten Fläche, die zu einer guten optischen Transmissionseigenschaften mit geringen Verlusten führen sollten.

### **Einführung**

Die Verwendung von Wellenleitern mit hohem Unterschied im Brechungsindex ist der Schlüssel für die erfolgreiche Entwicklung und Herstellung von integrierten optischen Schaltungen. Unter Berücksichtigung der weit verbreiteten Verwendung von Siliziumtechnologien und den geeigneten optischen Eigenschaften von Silizium im Infrarotbereich, ist dieses Material der beste Kandidat für solche Anwendungen [1]. Um das volle Potential von optischen Schaltkreisen aus Silizium nutzen zu können wird eine effiziente Möglichkeit benötigt, um Licht aus Glasfasern in integrierte optische Schaltkreise einzukoppeln. Eine der am meisten verwendeten Lösungen für dieses Problem sind keilförmige Wellenleiter aus Silizium (Abb. 1). Dieser Ansatz ist allerdings mit der Schwierigkeit verbunden vertikale, schräge Flächen in Silizium herzustellen. Zur Fertigung

---

<sup>1</sup> Forschungszentrum Mikrotechnik, Fachhochschule Vorarlberg GmbH, Hochschulstrasse 1, 6850 Dornbirn.

<sup>2</sup> Christian Doppler Labor für oberflächenoptische Systeme, Johannes Kepler Universität Linz, Altenbergerstrasse 69, 4020 Linz.

<sup>3</sup> Photeon Technologies GmbH, Kirchstrasse 35, 6900 Bregenz.

bitte freilassen! gerade Seiten

dieser keilförmigen Elemente konzentrierten sich die Ansätze bisher hauptsächlich auf verschiedene lithographische Methoden zur Herstellung von keilförmigen Strukturen in Fotolack, die anschließend durch Trockenätzen (RIE) in das Silizium übertragen werden. Obwohl z.B. Keile aus Silizium erfolgreich durch Graustufenlithographie gefertigt wurden [3], verwendet dieser Ansatz einen nicht standardisierten Lithographieschritt und kann zu einer größeren Oberflächenrauigkeit führen, die kritisch für die adäquate Funktion der Koppler ist [2].

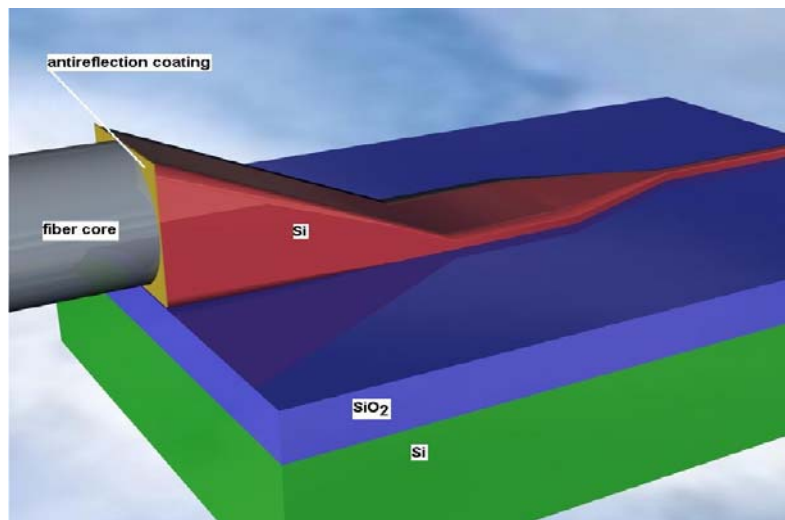


Abb. 1: Keilförmiger Silizium-Wellenleiter (rot) zur Kopplung von Glasfasern und integriert optischen Schaltungen

### Neuartiges Fertigungsszenario für keilförmige Koppler unter Ausnutzung der Kristalleigenschaften von Silizium

Eine andere, hier vorgestellte Möglichkeit, Strukturen mit vertikal geneigten Flächen herzustellen ist die Verwendung von Silizium Wafern mit  $\langle 111 \rangle$  Kristallflächen, die gegenüber der Oberfläche um einige Grad geneigt sind (Abb. 2). Diese Wafer können durch Änderung des Schnittwinkels bei der Herstellung produziert werden und sind relativ einfach verfügbar. Im vorliegenden Fall wurden Wafer mit einem Winkel von 2 – 5 Grad zwischen den  $\langle 111 \rangle$  Flächen und der Waferoberfläche verwendet.

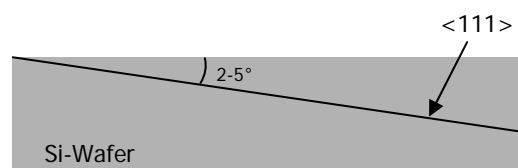


Abb. 2: Siliziumwafer mit geneigten  $\langle 111 \rangle$  Kristallflächen

Die Herstellung der vertikal schrägen Flächen erfolgt durch anisotropes Ätzen mit KOH. Bei geeigneten Prozessbedingungen (Temperatur, KOH-Konzentration) können große Unterschiede in der Ätzrate entlang der (100), (110) und (111) Richtungen erzielt und die  $\langle 111 \rangle$  Flächen freigelegt werden. Das Design der Koppler erfolgt so, dass die  $\langle 111 \rangle$  Flächen des Siliziums parallel zur vertikal geneigten Fläche des Kopplers ausgerichtet sind.

Für die Fertigung des gesamten Kopplers ist es notwendig, die vertikale und die horizontale Verjüngung voneinander getrennt auf zwei unterschiedlichen Wafern herzustellen und im Anschluss durch einen Bondingschritt miteinander zu verbinden [4]. Für die Herstellung der vertikalen Verjüngung werden zunächst auf einem Siliziumwafer ( $\langle 111 \rangle$  2-5° geneigt)  $\langle 111 \rangle$  Flächen freigelegt (Abb. 3a). Anschließend wird die Rückseite des Wafers poliert (CMP), um die Unterkante der freigelegten  $\langle 111 \rangle$  Flächen zugänglich zu machen. Die horizontale Verjüngung wird gemeinsam mit dem anschließenden Wellenleiter auf einem SOI-Wafer mit herkömmlichen Methoden (Trockenätzen) gefertigt (Abb. 3b). Die beiden Wafer werden gebondet (Abb. 3c), und die Keile werden durch einen weiteren Trockenätzschritt herausgeschnitten (Abb. 3d).

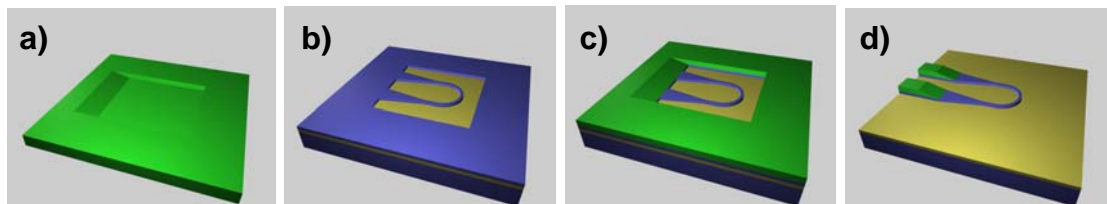


Abb. 3: Fertigungsablauf für keilförmige Wellenleiter aus Silizium unter Ausnützung der Kristalleigenschaften

### Herstellung vertikal geneigter Flächen mittels anisotropem Ätzen

Beim direkten Ätzen der Oberfläche der Wafer zeigt sich ein großer Einfluss der Oberflächenrauigkeit auf das Ätzresultat, der sich mit abnehmendem Winkel zwischen Oberfläche und  $\langle 111 \rangle$  Ebenen verstärkt. Aufgrund der nur geringen Neigung zu den  $\langle 111 \rangle$  Ebenen ergibt sich eine sehr geringe Ätzrate der Oberfläche. Durch die Oberflächenrauigkeit der Wafer wird die Ätzrate erhöht, da sich die Möglichkeit der Ätzung in von (111) abweichenden Richtungen ergibt. Dieser Prozess setzt sich so lange fort, bis  $\langle 111 \rangle$  Ebenen freigelegt sind und die Oberfläche aus dreieckigen Flächen mit zufälliger Größe besteht (Abb. 4). Die durchschnittliche Größe der Dreiecke steht in Zusammenhang mit der ursprünglichen Rauigkeit der Oberfläche.

bitte freilassen! gerade Seiten

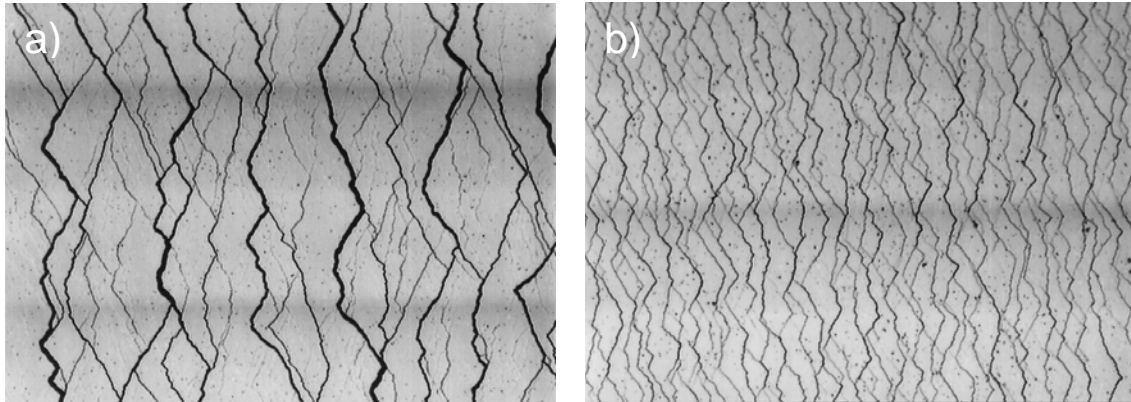


Abb. 4: Freigelegte  $\langle 111 \rangle$  Flächen nach 15 h Ätzzeit bei einer ursprünglichen Oberflächenrauigkeit von 1  $\mu\text{m}$  (a) bzw. 5 nm (b)

Um genau definierte und brauchbare Oberflächen zu erhalten, ist es daher notwendig die viel höhere Ätzgeschwindigkeit parallel zur Oberfläche zu nutzen und die Abhängigkeit von der Oberflächenrauigkeit zu eliminieren. Dies kann dadurch erreicht werden, dass die Oberfläche vor dem anisotropen Ätzen durch Trockenätzen (RIE) von Gräben oder Stufen vorstrukturiert wird (Abb. 5).

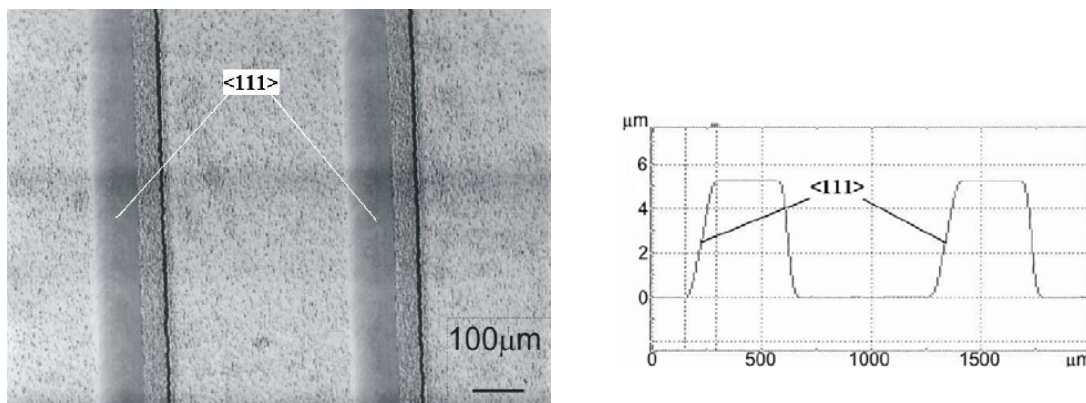


Abb. 5: Vorstrukturierter Siliziumwafer mit ca. 6  $\mu\text{m}$  tiefen Gräben nach 30 min KOH-Ätzen (47% KOH, 80°C)

Für den weiteren Verlauf des Fertigungsprozesses ist es notwendig, die schräge Fläche von unten freizulegen und das Silizium unter der schrägen Fläche mittels eines Polierschrittes (CMP) zu entfernen. Um dies zu ermöglichen, werden vor dem KOH-Ätzen rechteckige Vertiefungen mit 200 – 400  $\mu\text{m}$  Tiefe erzeugt. Erste Versuche die Vertiefungen mittels DRIE unter der Verwendung des Bosch Prozesses herzustellen erwiesen sich als nicht erfolgreich. Aufgrund der tiefen Ätzungen mit senkrechten Seitenwänden, die zu niedriger Planarität der geätzten Oberfläche führten, wurde beim nachfolgenden KOH-Prozess nicht nur eine, sondern eine Reihe von  $\langle 111 \rangle$  Flächen gleichzeitig freigelegt.

Das Ätzen der Vertiefungen mittels eines optimierten RIE-Verfahrens (ohne Bosch Prozess) erwies sich als zielführend. Aufgrund der besseren Planarität auf der geätzten Oberfläche konnten die gewünschten Schrägen für 250 µm dicke Wafer mit einer Tiefe von 200 µm erzeugt werden (Abb. 6).

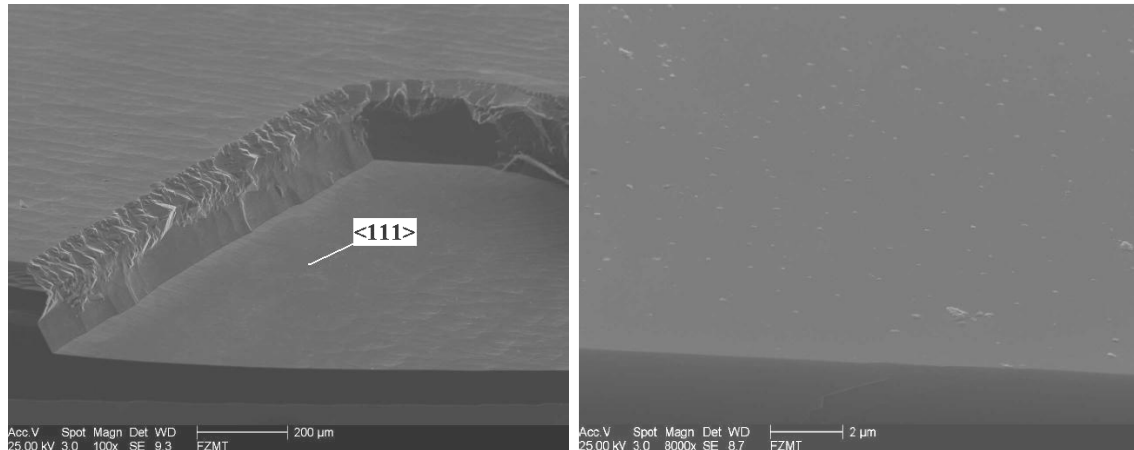


Abb. 6: Silizium-Wafer mit freigelegter <111> Ebene

### Polieren des oberen Wafers und Bondprozess

Nach der Herstellung der vertikal geneigten Fläche des Kopplers wird das darunter liegende Silizium durch Polieren (CMP) entfernt und der Wafer wird auf einen SOI-Wafer mit der horizontalen Verjüngung gebondet. Vor dem Polieren müssen die schrägen Flächen geschützt und eingebettet werden. Als ein mögliches Material für die Einbettung wurde aufgrund seiner Eigenschaften (große Härte, leichte Fertigung dicker Schichten) SU-8 Lack erprobt. Der Einbettprozess wurde bezüglich Aushärtezeit und Temperatur optimiert, um sowohl eine möglichst geringe Verbiegung des Wafers, als auch eine für den CMP-Prozess ausreichende Härte des SU-8 Lackes zu erreichen. Probleme mit der SU-8 Lackschicht bestehen derzeit noch aufgrund von am Rand abfallenden Lackdicken, die vor allem bei dünnen (250 µm) Wafern zum Bruch während des Poliervorgangs führen. Weiters ist bei der Aufspannung der dünnen Wafer das Aufkleben auf einen dickeren Wafer notwendig, bei der Entfernung von diesem Wafer nach dem Poliervorgang ist die Kompatibilität mit der SU-8 Schicht noch zu verbessern. Bisher konnten nur 450 µm dicke Wafer erfolgreich poliert werden.

Zum Bonden der Wafer mit den vertikalen schrägen Flächen mit den SOI-Wafern mit den horizontalen Verjüngungen wurde das Fusionsbonden vorgesehen. Während die Oberflächenrauigkeit des oberen Wafers nach dem Polieren ausreichend ist, ergaben sich Probleme aufgrund

bitte freilassen! gerade Seiten

noch nicht ausreichender Planarität, die auf induzierte Spannungen zurückzuführen sind, die sich beim Aushärten des SU-8 Lackes ergeben. Aufgrund der hohen Temperaturen, die beim Bondprozess benötigt werden, wurde der SU-8 Lack entfernt und der obere Wafer, veränderte aufgrund der im SU-8 Lack vorhandenen Spannungen seine Planarität. Eine mögliche Lösung für dieses Problem ist die Strukturierung (Unterbrechung) der SU-8 Schicht. Die Herstellung der dafür erforderlichen Maske und zusätzliche Experimente und Optimierungen sind für die weiteren Arbeiten an diesem Thema vorgesehen.

### Seitliche Formgebung der Keile

Im letzten Fertigungsschritt erfolgt die seitliche Formgebung der Keilstrukturen mittels DRIE. Aufgrund der noch bestehenden Probleme beim Bonden wurde dieser Prozessschritt an reinen Siliziumwafern ohne Siliziumoxidschicht und ohne Bondprozess getestet (Abb. 7). Die Schwierigkeit dieses Schritts ergibt sich bei der Lithographie, die auf einer Struktur mit einem Höhenunterschied von bis zu 10  $\mu\text{m}$  durchgeführt werden muss. Lithographieschritt und DRIE-Prozess konnten optimiert werden. Die Vermessung der resultierenden Struktur zeigte leichte Verrundungen an den Kanten der schrägen Keilflächen, die durch den Polierschritt hervorgerufen werden. Die Ergebnisse von Simulationen lassen jedoch darauf schließen, dass dies kein Problem für die Transmission der Koppler darstellen wird.

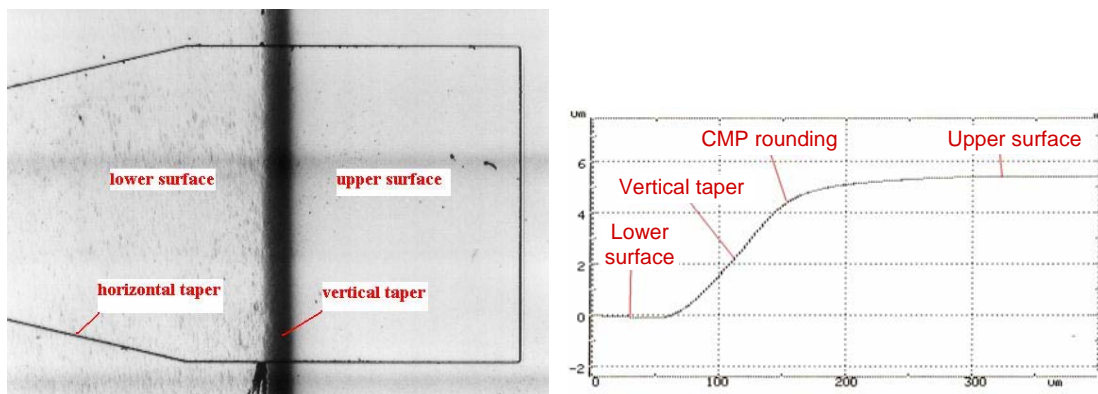


Abb. 7: Struktur aus Silizium mit vertikaler und horizontaler Verjüngung und dazugehöriges Höhenprofil. Diese Struktur wurde zur Prozessoptimierung aus einem Siliziumstück ohne Bondprozess hergestellt.

### Ergebnisse

Es wurde ein neuartiger Prozess vorgestellt, der es ermöglicht, Silizium-Wellenleiter mit vertikalen und horizontalen Verjüngungen zur Koppung von Glasfasern und integrierten optischen Schaltkreisen zu fertigen

[4]. Die Herstellung von schrägen Silizium-Flächen und vertikalen Verjüngungen mittels einer Kombination aus Trockenätzen und anisotropem KOH-Ätzen konnte, ebenso wie eine Reihe weiterer notwendiger Fertigungsschritte, erfolgreich demonstriert werden. Derzeit laufende Arbeiten konzentrieren sich auf Schwierigkeiten, die durch das Einbetten mit SU-8 Lack vor einem Polierschritt hervorgerufen werden. Aufgrund bereits identifizierter Lösungsansätze ist zu erwarten, dass diese Schwierigkeiten kein fundamentales Hindernis zur Erzeugung eines funktionsfähigen Kopplers darstellen.

## Literatur

- [1] Mike Salib, Ling Liao, Richard Jones, Mike Morse, Ansheng Liu, Dean Samara-Rubio, Drew Alduino, Mario Paniccia, " Silicon Photonics", Intel Technology Journal Volume 08 Issue 02 (2004).
- [2] Roel Baets, Wim Bogaerts, Dirk Taillaert, Pieter Dumon, Peter Bienstman, Dries Van Thourhout, Joris Van Campenhout, Vincent Wiaux, Johan Wouters, Stephan Beckx, "Low Loss Nanophotonic Waveguides and Ring Resonators in Silicon-on-Insulator", Proc. Int. School of Quantum Electronics , 39th course "Microresonators as building blocks for VLSI photonics", 709, Italy, p.308-327 (2003).
- [3] Anita Sure, Thomas Dillon, Janusz Murakowski, Chunchen Lin, David Pustai and Dennis W. Prather, " Fabrication and characterization of three-dimensional silicon tapers", OPTICS EXPRESS Vol. 11, No. 26 (2003).
- [4] K. Hingerl, R. Holly, P. Hudek, R. Merz, H. Seyringer, "Verfahren zum Herstellen einer Lichtkopplungseinrichtung zwischen einer Glasfaser und einem Lichtwellenleiter höheren Brechungsindexes", Patentanmeldung 3C\_A\_214-2006

## Danksagung

Die Arbeiten wurden im Rahmen der österreichischen Nanoinitiative (Projekt FATAWA) gefördert.